



## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010037851 A  
 (43)Date of publication of application: 15.05.2001

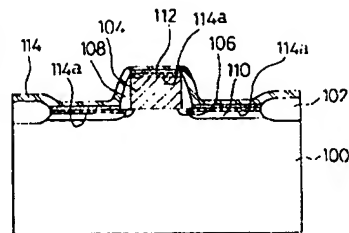
(21)Application number: 1019990045577  
 (22)Date of filing: 20.10.1999  
 (30)Priority:  
 (51)Int. Cl. H01L 29/78

(71)Applicant: UNIVERSITY INDUSTRIAL  
 TECHNOLOGY FORCE  
 (72)Inventor: SONG, O SEONG

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is to prevent a surface resistance increasing according to a high integration, to improve a surface luminance and a thickness uniformity of a self-aligned silicide layer and to prevent a volume expansion from excessively generating. CONSTITUTION: A substrate (100) is provided with a gate electrode(104) of polysilicon on its surface. The gate electrode is formed with a lightly doped drain(106) by an ion implantation at a low concentration on its edge. On the both sidewalls of the gate electrode is formed a spacer(108) consisting of oxide or nitride. To overlap the lightly doped drain an active region(110) for the source and drain is formed by an ion implantation at a high concentration. On the resultant is formed an oxide layer(112) of a predetermined thickness. On the oxide layer is formed a transition metal layer(114) of Ni or Ni alloy. The resultant substrate is subject to a heat treatment in a furnace or a rapid thermal process apparatus to a self-aligned silicide layer(114a) only on the gate electrode and the active region. The unreacted transition metal layer and insulating layer are removed.



COPYRIGHT 2001 KIPO

## Legal Status

Date of request for an examination (19991020)  
 Notification date of refusal decision (20020522)  
 Final disposal of an application (rejection)  
 Date of final disposal of an application (20020522)  
 Patent registration number ( )  
 Date of registration ( )  
 Number of opposition against the grant of a patent ( )  
 Date of opposition against the grant of a patent ( )  
 Number of trial against decision to refuse ( )  
 Date of requesting trial against decision to refuse ( )

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup>  
H01L 29/78

(11) 공개번호 10-2001-0037851  
(43) 공개일자 2001년05월15일

(21) 출원번호 10-1999-0045577  
(22) 출원일자 1999년10월20일

(71) 출원인 사단법인 대학산업기술지원단 이준식  
서울 관악구 신림동 산56-1  
(72) 발명자 송오성  
서울 강남구 일원본동 푸른마을아파트 109동 401호  
(74) 대리인 임재룡  
심사청구 : 있음

(54) 반도체 소자 제조방법

요약

반도체 소자의 고집적화에 기인한 면저항 증가를 막고, 실리사이드막의 두께 균질성과 표면조도를 개선시키며, 실리사이드막의 과도한 부피 팽창을 억제하여 얇은 두께의 실리사이드막 형성이 가능하도록 함으로써, 0.35 $\mu$ m급 이하의 선폭을 갖는 고집적화된 반도체 소자 제조시에도 적용할 수 있는 반도체 소자 제조방법이 개시된다.

이를 구현하기 위하여 본 발명에서는, 반도체 기판 상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 양 에지측의 상기 기판 내부에 LDD를 형성하는 단계와; 상기 게이트 전극의 양 측벽에 스페이서를 형성하는 단계와; 상기 스페이서 양 에지측의 상기 기판 내부에 상기 LDD와 오버랩되도록 소오스-드레인용 액티브영역을 형성하는 단계와; 상기 결과물 상에 소정 두께의 산화막을 형성한 후, 그 위에 Ni나 Ni 합금 재료의 천이금속막을 형성하는 단계와; 열처리 공정을 실시하여, 상기 게이트 전극과 상기 액티브영역 상에만 선택적으로 NiSi 재료의 실리사이드막을 형성하는 단계; 및 미반응된 상기 천이금속막과 상기 산화막을 제거하는 단계로 이루어진 반도체 소자 제조방법이 제공된다.

대표도

도2c

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 반도체 소자의 선택적 실리사이드막 형성방법을 도시한 공정수순도,

도 2a 내지 도 2d는 본 발명에 의한 반도체 소자의 선택적 실리사이드막 형성방법을 도시한 공정수순도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 소자의 선택적 실리사이드막 형성시 야기되는 공정 불량 발생을 제거하여 공정 신뢰성을 향상시켜 줌으로써, shallow junction)을 갖는 고집적화된 소자 제조시에도 적용할 수 있는 반도체 소자 제조방법에 관한 것이다.

반도체 소자의 고집적화가 진행됨에 따라 게이트 전극의 선폭 및 콘택 사이즈가 작아지게 되어 액티브와 게이트 전극의 저항 및 콘택 저항이 커지는 문제가 발생하게 되었다. 이에 따라, 최근에는 액티브 영역과 게이트 전극의 저항을 낮추어 전류 구동 능력을 크게 하고, 콘택 저항을 낮추어 소자 특성의 콘택 레이 아웃 의존도를 줄여 주기 위하여 고집적화된 소자 제조시 실리사이드(salicide: self-aligned silicide) 공정을 채용하고 있다.

도 1a 내지 도 1d에는 상기 공정을 적용한 종래의 선택적 실리사이드막 형성방법을 도시한 공정수순도가 제시되어 있다. 이를 참조하여 그 제조방법을 제 4 단계로 구분하여 살펴보면 다음과 같다. 여기서는 일 예로서, Ti-실리사이드막(TiSi

<sub>2</sub>)이나 Co-실리사이드막(CoSi<sub>2</sub>)을 형성하는 경우에 대하여 살펴본다.

제 1 단계로서, 도 1a에 도시된 바와 같이 필드 산화막(12)이 구비된 반도체 기판(실리콘 기판)(10) 상에 폴리실리콘 재료의 게이트 전극(14)을 형성한 후, 이를 마스크로 이용하여 상기 기판(10) 상으로 저농도 불순물을 이온주입하여 게이트 전극(14) 양 에지측의 기판(10) 내에 LDD(lightly doped drain)(16)를 형성한다. 이어, 게이트 전극(14)의 양 측벽에 산화막이나 질화막 재료의 스페이서(18)를 형성하고, 상기 게이트 전극(14)과 스페이서(18)를 마스크로 이용하여 기판(10) 상으로 고농도 불순물을 이온주입하여 게이트 전극(14) 양 에지측의 기판(10) 내부에 LDD 구조의 소오스-드레인용 액티브 영역(20)을 형성한다.

제 2 단계로서, 도 1b에 도시된 바와 같이 상기 결과물 전면에 Ti나 Co 재료의 천이금속막(22)을 형성한다.

제 3 단계로서, 도 1c에 도시된 바와 같이 안정된 상전이를 위하여 2회에 걸쳐 열처리를 실시한다. 이때, 게이트 전극(14)의 상면과 액티브영역(20)에서는 실리콘과 천이금속이 반응되어 저저항 금속인 실리사이드막(예컨대, Ti-실리사이드막이나 Co-실리사이드막(22a))이 형성되는 반면, 그 이외의 남겨진 영역에서는 열연료-인해 실리콘과 천이금속이 반응하지 못하여 천이금속이 그대로 미반응 금속으로 남게 된다.

제 4 단계로서, 도 1d에 도시된 바와 같이 미반응된 천이금속(22)을 제거해 주므로써, 본 공정 진행을 완료한다.

그러나, 상기 공정 수순에 의거하여 실리사이드막을 형성할 경우에는 소자 제조시 다음과 같은 몇가지의 문제가 발생된다.

첫째, Ti 재료의 천이금속을 이용하여 실리사이드막(TiSi<sub>2</sub>)을 형성할 경우 벌크(bulk) 소자 제조시에는 별 문제가 야기되지 않으나, 반도체 소자의 고집적화로 인해 그 선폭이 0.35 $\mu$ m 이하로 줄어들 경우에는 열처리 공정 진행시 고저항의 C49상에서 저저항의 C54 상으로의 변태 과정이 일어나지 않는 관계로 인해, 실리사이드막이 형성되더라도 그 특성이 저하가 뒤따를 수밖에 없으므로 상기 막질의 면저항이 급격히 증가되는 문제가 발생된다.

둘째, Co 재료의 천이금속을 이용하여 실리사이드막(CoSi<sub>2</sub>)을 형성할 경우 면저항의 선폭 의존성은 나타나지 않으나 액티브영역(20) 상에 미세 산화막(예컨대, 자연 산화막)이 잔존할 경우 그 부분에서는 실리사이드막 형성 자체가 이루어지지 않으므로, Co 재료의 천이금속 증착 전에 액티브영역의 잔존 산화막을 제거하기 위한 과도한 습식 세정 공정(wet cleaning process)과 이온 밀링과 같은 건식식각 공정이 추가적으로 요구되어, 액티브영역의 표면조도(일명, 거칠기라고도 한다)가 나빠지는 결과가 초래된다. 액티브영역의 표면조도가 나빠지게 되면 그 위에 형성되는 Co-실리사이드막의 두께 균질성(uniformity)과 표면조도가 떨어지게 되므로, 전 영역에 걸쳐 고른 두께의 실리사이드막을 형성하기가 어렵다는 문제가 발생된다.

셋째, 기존 실리사이드막(예컨대, TiSi<sub>2</sub>, CoSi<sub>2</sub> 등)의 경우 통상, 천이금속 한 개에 두 개의 실리콘 원자가 화학하는 형태로 막질 성장이 이루어지므로, 부피팽창이 커서 실리사이드막의 두께를 어느 한도 이하로 낮게 가져가기 어려울 뿐 아니라 그 두께가 불균일하여 0.35 $\mu$ m급 이하의 선폭을 갖는 고집적화된 반도체 소자 제조시에는 적용하기 어렵다는 문제가 발생된다. 즉 0.35 $\mu$ m급 이하의 고집적화된 소자의 경우, 통상 살로우 정션 구조를 가지도록 트랜지스터 제도가 이루어지므로, 열처리 과정에서 실리사이드막의 과도한 부피 팽창이 야기되어질 경우 실리사이드막이 소오스-드레인용 액티브영역의 정션 깊이보다 더 두껍게 형성되거나 혹은 LDD(16)를 치고 들어가 실리사이드막이 형성되는 등의 불량이 유발될 수도 있고, 경우에 따라서는 게이트 전극(14)과 소오스-드레인용 액티브영역이 실리사이드막(22a)의 부피 팽창에 의해 스페이서(18) 상에서 브리지 형태로 접촉되는 불량(일명, GSD(gate source drain) 쇼트라 한다)이 발생될 수도 있기 때문이다.

### 발명이 이루고자하는 기술적 과제

이에 본 발명의 목적은, 실리사이드 공정을 적용한 반도체 소자 제조시 공정 변경을 통하여 실리사이드막을 TiSi<sub>2</sub>, CoSi<sub>2</sub> 대신에 NiSi(Ni-monosilicide) 재료로 형성해 주므로써, ① 반도체 소자의 고집적화에 기인한 면저항 증가를 막고, ② 실리사이드막의 두께 균질성과 표면조도를 개선시키며, ③ 실리사이드막의 과도한 부피 팽창을 억제하여 얇은 두께의 실리사이드막 형성이 가능하도록 하여, 0.35 $\mu$ m급 이하의 선폭을 갖는 고집적화된 반도체 소자 제조시에도 적용할 수 있도록 한 반도체 소자 제조방법을 제공함에 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에서는, 반도체 기판 상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 양 에지측의 상기 기판 내부에 LDD를 형성하는 단계와; 상기 게이트 전극의 양 측벽에 스페이서를 형성하는 단계와; 상기 스페이서 양 에지측의 상기 기판 내부에 상기 LDD와 오버랩 되도록 소오스-드레인용 액티브영역을 형성하는 단계와; 상기 결과물 상에 소정 두께의 산화막을 형성한 후, 그 위에 Ni나 Ni 합금 재료의 천이금속막을 형성하는 단계와; 열처리 공정을 실시하여, 상기 게이트 전극과 상기 액티브영역 상에만 선택적으로 NiSi 재료의 실리사이드막을 형성하는 단계; 및 미반응된 상기 천이금속막과 상기 산화막을 제거하는 단계로 이루어진 반도체 소자 제조방법이 제공된다.

상기와 같이 공정을 진행할 경우, 액티브영역과 게이트 전극 상에 얇은 두께의 산화막이 기 형성된 상태에서 Ni 재료의 천이금속막 증착 및 열처리 공정을 통해 실리사이드막이 형성되므로, 열처리시 산화막을 통한 Ni의 균일한 확산이 가능하게 되어, 표면조도가 좋은 균일하고 얇은 두께의 실리사이드막을 제조할 수 있게 된다. 게다가, 실리사이드막이 NiSi 재료로 구성되므로 반도체 소자의 고집적화에 기인한 면저항 증가가 야기되지 않으며, 천이금속 한 개에 실리콘 원자 한 개가 화학하는 형태로 실리사이드 막질 성장이 이루어지므로, 상기 막질 형성 과정에서 야기되던 부피 팽창 또한 최소화할 수 있게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

## Best Available Copy

도 2a에 도시된 바와 같이 반도체 소자의 서태저 실리사이드막 형성방법에 있어서 고저소수도를 나타내 거이다. 이제 제 1 단계로서, 도 2a에 도시된 바와 같이 필드 산화막(102)이 구비된 반도체 기판(실리콘 기판)(100) 상에 폴리실리콘 재료의 게이트 전극(104)을 형성한 후, 이를 마스크로 이용하여 상기 기판(100) 상으로 저농도 불순물을 이온주입하여 게이트 전극(104) 양 에지측의 기판(100) 내에 LDD(106)를 형성한다. 이어, 게이트 전극(104)의 양 측벽에 산화막이나 질화막 재료의 스페이서(108)를 형성하고; 상기 게이트 전극(104)과 스페이서(108)를 마스크로 이용하여 기판(100) 상으로 고농도 불순물을 이온주입하여 게이트 전극(104) 양 에지측의 기판(100) 내부에 LDD 구조의 소오스-드레인용 액티브 영역(110)을 형성한다.

제 2 단계로서, 도 2b에 도시된 바와 같이 전처리 작업으로서 게이트 전극(104)과 액티브영역(110)이 형성되어 있는 상기 반도체 기판(104)을 10%HF 수용액 내에 5분간 담구어 세정한 다음, 상기 결과물 전면에 자연 산화막이나 열산화막 재료의 산화막(112)을 100Å 이하의 두께로 형성한다. 필드 산화막(102)이나 스페이서(108)의 경우 막질 특성상, 다른 부분(예컨대, 게이트 전극의 상면이나 액티브영역 상면)에 비해 산화막 성장이 아주 더디게 이루어지므로, 여기서는 편의상 도시하지 않았다. 이어, 상기 산화막(112)을 포함한 기판(100) 전면에 PVD법(예컨대, 열증착법, 이온빔 증착법, 스퍼터링법 등)이나 CVD법으로 Ni 재료(또는 Ni 합금 재료)의 천이금속막(114)을 형성한다. 이때, 상기 천이금속막(114)은 전처리 작업 후 30분 이내에 형성하는 것이 바람직하며, Ni 대신 Pt나 Pt 합금 재료로 형성해 주어도 무방하다.

제 3 단계로서, 도 2c에 도시된 바와 같이 천이금속막(114)이 증착된 반도체 기판을 퍼니스(furnace)나 고속열처리(rapid thermal process)기 내에 장입하고, 진공 분위기나 불활성 기체 분위기(예컨대, N<sub>2</sub> 분위기)하에서 60분 이내의 시간 동안 350 ~ 1200℃의 온도 범위 내에서 열처리를 실시한다. 이때, 게이트 전극(104)과 액티브영역(110)의 표면쪽에서는 천이금속(예컨대, Ni)이 산화막(112)을 통해 확산하여 실리콘과 반응되어 저저항 금속인 NiSi 재료의 실리사이드막(114a)이 형성되는 반면, 그 이외의 남겨진 영역에서는 충분히 두꺼운 절연물들로 인해 실리콘과 천이금속이 반응하지 못하여 천이금속이 그대로 비반응 금속으로 남게 된다. 이 경우, 산화막(112) 상단에 남겨진 천이금속막(114)의 두께는 형성하고자 하는 실리사이드막의 두께가 얼마인지에 따라 가변 가능하다. 이와 같이, 인위적으로 산화막(112)을 더 형성한 상태에서 실리사이드막 형성 공정을 진행한 것은 Ni의 균일한 확산을 통해 표면조도가 개선된 균일하고 얇은 두께의 실리사이드막을 형성하기 위함이다.

제 4 단계로서, 도 2d에 도시된 바와 같이 미반응된 천이금속(114)과 산화막(112)을 제거해 주으로써, 본 공정 진행을 완료한다.

상기 공정 수순에 의거하여 반도체 소자를 제조할 경우, 액티브영역과 게이트 전극(104) 상에 얇은 두께의 산화막(112)이 기 형성된 상태에서 천이금속막 증착 및 열처리 공정을 통해 NiSi 재료의 실리사이드막(114a)이 제조되므로, 열처리시 산화막을 통한 Ni의 균일한 확산이 가능하게 되어 표면조도가 우수하고 전영역에 걸쳐 고른 두께를 갖는 실리사이드막을 형성할 수 있게 된다. 그리고, 실리사이드막(114a)이 NiSi 재료로 구성되므로 면저항의 선풍 의존성으로부터 자유로울 수 있고, 액티브영역에 자연 산화막 등과 같은 형태의 얇은 잔류 산화막이 잔존하더라도 실리사이드막 형성이 가능하게 된다.

게다가, 상기 실리사이드막의 경우 천이금속 한 개에 실리콘 원자 한 개가 화합하는 형태로 막질 성장이 이루어지므로, 상기 막질 형성 과정에서 야기되던 부피 팽창을 최소화할 수 있게 되어, 공정 진행상의 어려움없이도 실리사이드막의 두께를 기존 보다 얇게 가져갈 수 있게 된다.

따라서, 상기 공정을 적용하게 되면 반도체 소자 제조시 소오스-드레인용 액티브영역(110)의 정선 깊이(depth)보다 더 깊은 두께로 실리사이드막(114a)이 형성되거나 혹은 LDD(106)를 치고 들어가 실리사이드막(114a)이 형성되는 등의 불량이 유발되는 것을 막을 수 있게 될 뿐 아니라 실리사이드막(114a)의 부피 팽창에 의해 게이트 전극(104)과 액티브영역(110)이 접촉되는 불량 즉, GSI 쇼트가 발생하는 것을 방지할 수 있게 된다.

그러므로, 살로우 정선을 갖는 고집적화된 반도체 소자의 살리사이드 공정 진행시에도 불량 발생없이 선택적 실리사이드막 형성이 가능하게 된다.

이상, 실시예를 통하여 본 발명을 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상내에서 당 분야의 통상의 지식으로 그 변형이나 개량이 가능함은 물론이다.

### 발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면, 살리사이드 공정을 채용한 반도체 소자 제조시 공정 변경을 통하여 실리사이드막을 NiSi 재료로 형성해 주므로써, ① 반도체 소자의 고집적화에 기인한 면저항 증가를 막을 수 있게 되고, ② 실리사이드막의 두께 균일성과 표면조도를 개선시킬 수 있게 되며, ③ 실리사이드막의 과도한 부피 팽창을 억제하여 기존보다 월등히 얇은 두께의 실리사이드막을 형성할 수 있게 되므로, 0.35μm급 이하의 선풍을 갖는 고집적화된 반도체 소자 제조시에도 공정 불량 발생없이 실리사이드막 형성이 가능하게 된다.

### (57)청구의 범위

#### 청구항1

반도체 기판 상에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 양 에지측의 상기 기판 내부에 LDD를 형성하는 단계와;

상기 게이트 전극의 양 측벽에 스페이서를 형성하는 단계와;

Best Available Copy  
상기 결과물 상에 소정 두께의 산화막을 형성한 후, Cu 또는 Ni 합금 재질의 천이금속막을 형성하는 단계와;

여기서, Cu 또는 Ni 합금 재질은 상기 게이트 절연막 상에 상기 활성영역 형성시 형성된 산화막 상에 선택적으로 NiO 재질이 상기 SiO<sub>2</sub> 막으로 형성되는 단계에 이

#### 청구항2

제 1 항에 있어서,

상기 산화막은 자연 산화막이나 열산화막으로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항3

제 1 항에 있어서,

상기 산화막은 100 Å 이하의 두께로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항4

제 1 항에 있어서,

상기 천이금속막은 PVD법이나 CVD법으로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항5

제 4 항에 있어서,

상기 PVD법으로는 열증착법, 이온빔 증착법, 스퍼터링법중 선택된 어느 한 방법이 적용되는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항6

제 1 항에 있어서,

상기 열처리는 350 ~ 1200℃의 온도 범위 내에서 60분 이내의 시간 동안 실시하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항7

제 1 항에 있어서,

상기 열처리는 진공 분위기나 불활성 기체 분위기하에서 실시하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항8

제 1 항에 있어서,

상기 열처리 공정은 퍼니스나 고속열처리기 내에서 실시되는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항9

제 1 항에 있어서,

상기 소오스-드레인용 액티브영역 형성후 상기 기판을 HF 수용액 내에서 일정 시간 동안 전처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항10

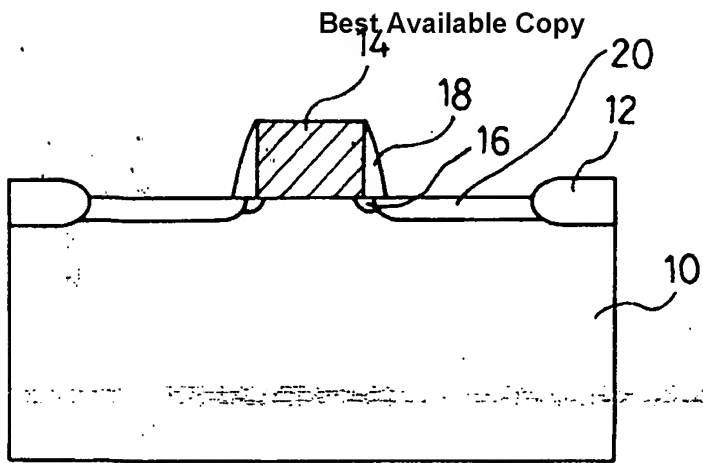
제 9 항에 있어서,

상기 전처리 단계를 더 포함하는 경우, 상기 천이금속막은 전처리후 30분 이내에 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

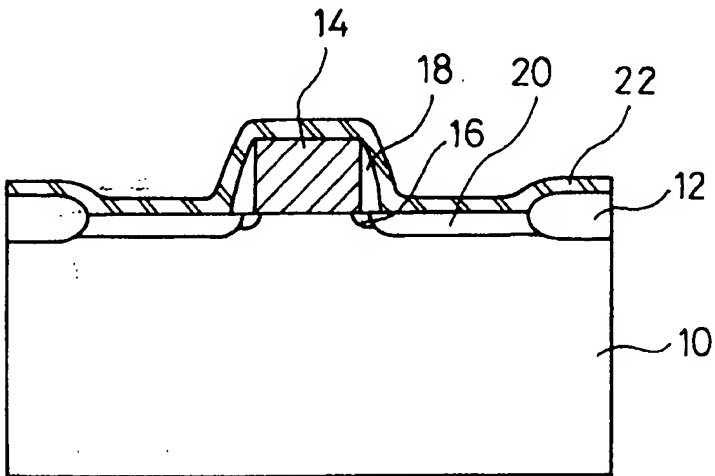
도면

도면1a

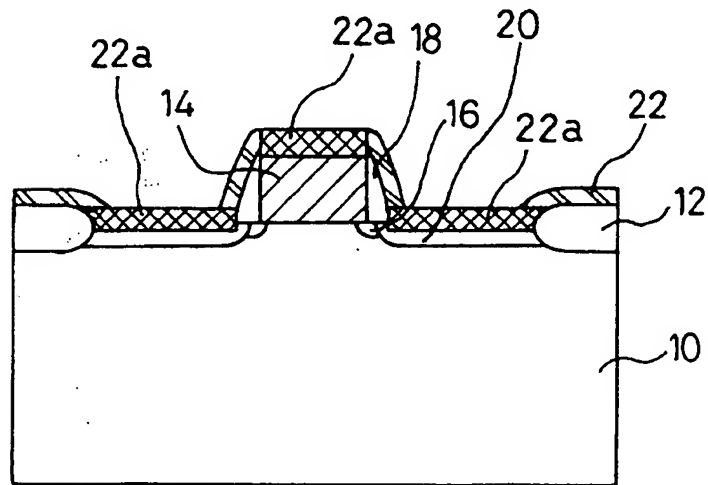
Best Available Copy



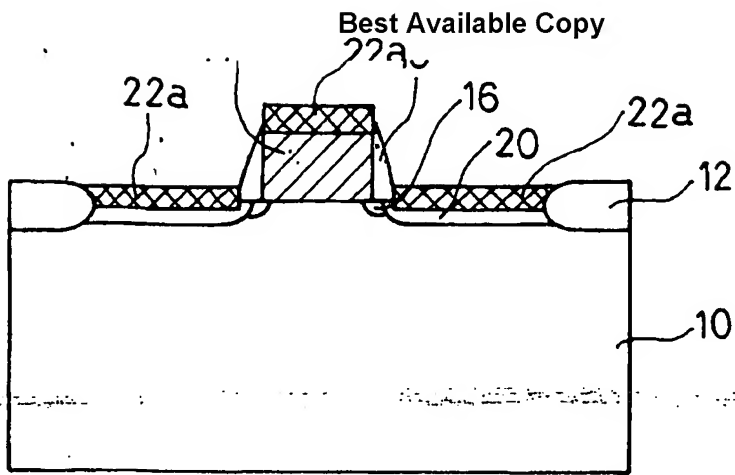
도면1b



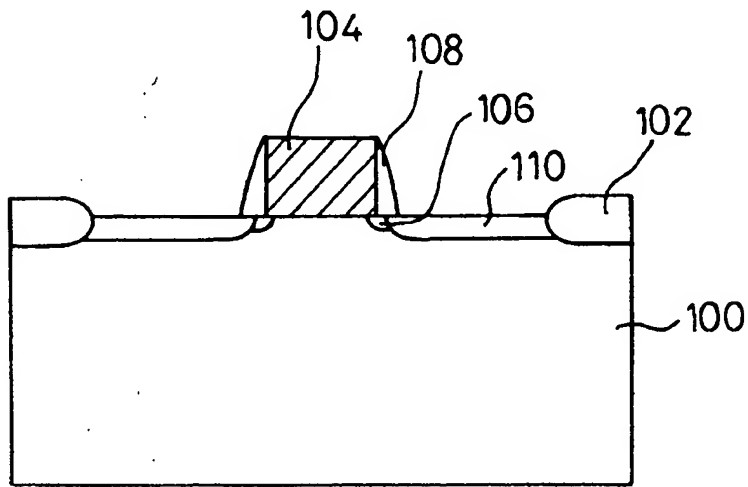
도면1c



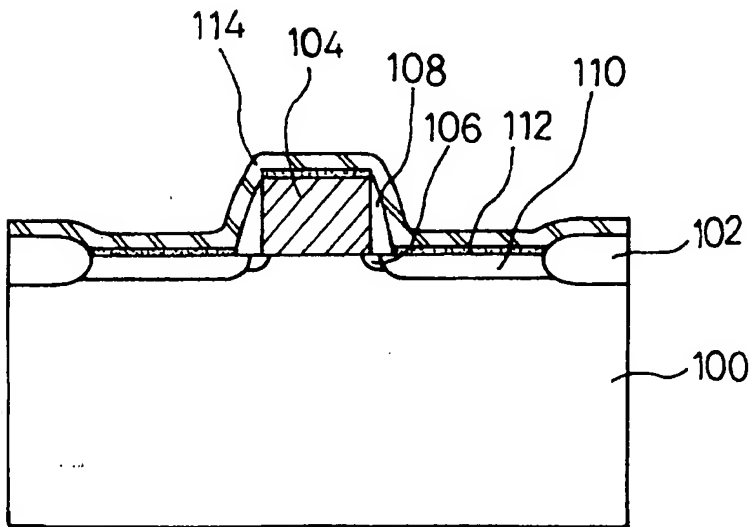
도면1d



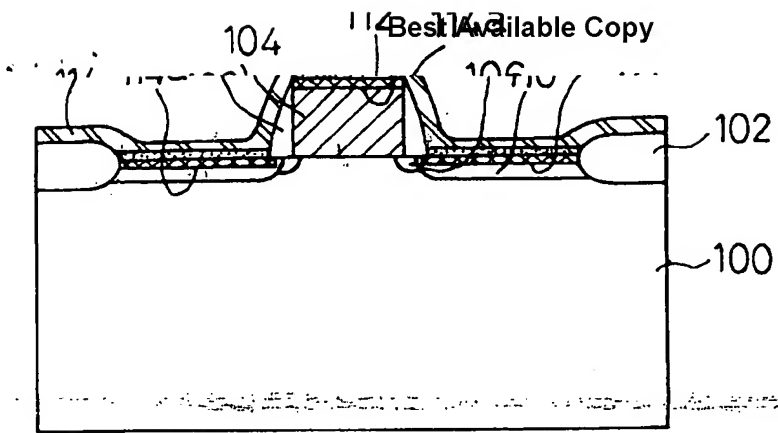
도면2a



도면2b



도면2c



도면2d

